

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-094045

(43)Date of publication of application : 06.04.2001

(51)Int.CI.

H01L 25/065
 H01L 25/07
 H01L 25/18
 H01L 21/60
 H01L 23/12

(21)Application number : 11-269388

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 22.09.1999

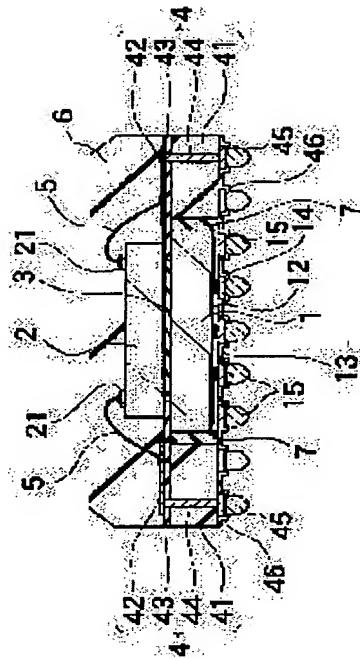
(72)Inventor : KOMIYAMA TADASHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device for thinning a package, while keeping high reliability for each laminated IC chip in a stacked-type CSP.

SOLUTION: An IC chip 1 is in a flip-chip form. A main surface side is exposed to the outside as a mounting surface, and a pad 12 is provided with an external terminal 13. The IC chip 2 in a sealing member 6 is laminated on the reverse side of the IC chip 1 via an insulation adhesive member 3. A wiring substrate 4 related to the IC chip 2 is provided around the IC chip 1. The wiring substrate 4 includes a base material 41 and an insulation film 43 which accompany a conductive pattern 42 at the upper portion. The prescribed part of the conductive pattern 42 is connected to each of the pad 21 of the IC chip 2, for example, by a bonding wire 5. An external terminal 45 of the IC chip 2 is connected to a plurality of vias 44 of the wiring substrate 4.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-94045

(P2001-94045A)

(43) 公開日 平成13年4月6日 (2001.4.6)

(51) Int.CL⁷
 H 01 L 25/065
 25/07
 25/18
 21/60 3 1 1
 23/12

F I
 H 01 L 21/60
 25/08
 23/12

テマコト⁸ (参考)
 3 1 1 S 5 F 0 4 4
 B
 F

審査請求 未請求 請求項の数6 O.L (全6頁)

(21) 出願番号 特願平11-269388

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(22) 出願日 平成11年9月22日 (1999.9.22)

(72) 発明者 辻山 忠

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

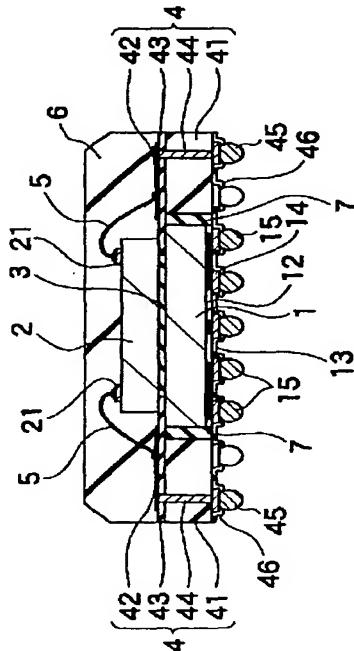
Fターム(参考) 5F044 AA05 JJ03 KK01 LL09 LL11
RR01 RR18

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 スタックドタイプのCSPにおいて、積層する各ICチップについて高信頼性を保ちつつパッケージの薄型化が達成される半導体装置を提供する。

【解決手段】 ICチップ1はフリップチップ形態である。主表面側を実装面として外部に露出させ、パッド12に外部端子13を配備している。封止部材6内のICチップ2は、ICチップ1の裏面上に絶縁性の接着部材3を介して積層されている。ICチップ1の周辺にはICチップ2に関する配線基板4が設けられている。配線基板4は、ベース基材41とその上部に導電パターン42を伴なう絶縁フィルム43を含む。導電パターン42の所定箇所は、ICチップ2のパッド21各々と例えばボンディングワイヤ5により接続されている。ICチップ2の外部端子45は配線基板4の複数のピア44につながる。



【特許請求の範囲】

【請求項1】 電極パッドが設けられる主表面側を実装面として外部に露出させ外部端子を配した第1のICチップと、前記第1のICチップの主表面に対する裏面に絶縁部材を介して積層される第2のICチップと、前記第1のICチップの周辺に設けられた前記第2のICチップに関する配線基板と、前記配線基板の実装面側に設けられた前記第2のICチップの外部端子と、前記第2のICチップ及びその前記配線基板との電気的接続構成を封止する封止部材と、を具備したことを特徴とする半導体装置。

【請求項2】 前記絶縁部材は、接着剤を含むことを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記絶縁部材は、前記配線基板の所定領域に前記第2のICチップと前記配線基板との電気的接続を担う導電パターンを有するフィルム状の薄膜を含むことを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 前記絶縁部材は、前記配線基板の所定領域に前記第2のICチップと前記配線基板との電気的接続を担う導電パターンを有するフィルム状の薄膜を含み、少なくとも前記第1のICチップの裏面周辺領域に延在していることを特徴とする請求項1または2に記載の半導体装置。

【請求項5】 電極パッドが設けられる主表面側を実装面として外部に露出させ外部端子を配した第1のICチップと、前記第1のICチップの主表面に対する裏面に絶縁部材を介して積層される第2のICチップと、

前記第1のICチップの周辺に設けられ前記第2のICチップとの電気的接続構成を有する配線基板と、

前記配線基板の実装面側に設けられた前記第2のICチップの外部端子と、を具備したことを特徴とする半導体装置。

【請求項6】 少なくとも前記第2のICチップとの電気的接続構成は絶縁性の保護部材に覆われることを特徴とする請求項5記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、特にスタックタイプのCSP (Chip Size Package) に適用され、積層ICの薄形パッケージ化を要する半導体装置に関する。

【0002】

【従来の技術】 半導体集積回路の高集積化、コンパクト化に伴ない、半導体パッケージも小型化が要求される。その中でCSP (Chip Size Package) は、実装面積が小さくして上記要求を満足させる有用な構造である。

【0003】 スタックタイプのCSPも高集積ICと

して注目される構成の一つである。図7は、従来におけるスタックタイプのCSPの構成を示す断面図である。チップサイズに近いベース基材100の主表面上には、それぞれ絶縁性の接着部材99を介して2個のICチップ101、102が積層された形で搭載されている。ベース基材100の主表面は導電パターン103及びビア104が複数設けられている。ベース基材100の裏面には各ビア104と接続されるはんだボール等の外部端子105が設けられている。

【0004】 ベース基材100の主表面側において、積層ICチップ101、102の電極パッド111、112と、ベース基材100とはボンディングワイヤ(金線)104により適当な電気的接続がなされている。すなわち、ICチップ102は、ICチップ101の周辺に設けられる電極パッド111に重ならない大きさを有し、第1のICチップ上に接着部材99を介して固着されている。これら積層ICチップ101、102及び電気的接続構成は封止樹脂106により封止され、パッケージ化されている。

【0005】

【発明が解決しようとする課題】 従来、上記したようにスタックタイプのCSPでは、実装面を形成するベース基材100、第1のICチップ101、第2のICチップ102及びこれらを固着する接着部材99の積層構造である。半導体パッケージの厚みはこの積層構造に依存して与えられる。

【0006】 しかしながら、上記半導体パッケージの厚みが、携帯機器等、実装する上で重要になっており、小型化、薄型化が望まれている。この場合、ベース基材100の縮小化及び薄膜化、各ICチップ101、102を信頼性の範囲内で削る等、全体のパッケージを薄形化する対策がとられている。

【0007】 ところが、ベース基材100は両ICチップ101、102に関する導電パターンの複雑さゆえ縮小化、薄型化は高い技術を必要とする。また、ICチップを削って薄くすることから、ICチップが破損しやすくなる。これにより、パッケージ前の製造工程の取り扱いから難しくなり、設備も変更を要する。

【0008】 しかしながら、このような方策をとっても、パッケージの薄型化はそれほど顕著な効果も出せずに限界にきてしまう。すなわち、製造工程上の信頼性低下、コスト高等リスクが大きい割にはスタックCSPに関し、パッケージの小型化、薄型化が進んでいないのが現状である。

【0009】 本発明は上記事情を考慮してなされたもので、その課題は、スタックタイプのCSPにおけるパッケージ形態の変更により、積層する各ICチップについて高信頼性を保ちつつパッケージの小型化、薄型化が達成される半導体装置を提供することにある。

【0010】

【課題を解決するための手段】本発明の半導体装置は、電極パッドが設けられる主表面側を実装面として外部に露出させ外部端子を配した第1のICチップと、前記第1のICチップの主表面に対する裏面に絶縁部材を介して積層される第2のICチップと、前記第1のICチップの周辺に設けられた前記第2のICチップに関する配線基板と、前記配線基板の実装面側に設けられた前記第2のICチップの外部端子と、前記第2のICチップ及びその前記配線基板との電気的接続構成を封止する封止部材とを具備したことを特徴とする。

【0011】本発明によれば、上記第1のICチップは封止されずに上記第2のICチップの封止のみとなる。配線基板は第2のICチップに関する配線だけを考慮すればよい。上記封止部材は薄い形成となり、かつ上記配線基板は第1のICチップと同様の厚みが得られ強度的にも問題ない。また、最低限、第2のICチップとの電気的接続構成を保護部材で覆うことにより、第2のICチップ全体の封止も必ずしも重要でない構成とすることが可能である。

【0012】

【発明の実施の形態】図1は、本発明の第1実施形態に係るスタックトタイプのCSPを示す断面図である。ICチップ1は、フリップチップ形態(フェイスダウン形態)であり、電極パッドが設けられる主表面側を実装面として外部に露出させてある。すなわち、配線領域12を介して絶縁膜(ソルダーレジスト)13上にパッド14が設けられ、各パッド14に外部端子15が設けられている。また、ICチップ2は、ICチップ1の裏面上に絶縁性の接着部材3を介して積層されている。

【0013】上記ICチップ1の周辺には、ICチップ2に関する配線基板4が設けられている。配線基板4は、ベース基材41とその上部に導電パターン42を伴なう絶縁フィルム43を含む。具体的には絶縁フィルム43が少なくともICチップ1の裏面周辺領域にまで延在して固着されている。導電パターン42の所定箇所は、ICチップ2主表面上のパッド21各々と例えばボンディングワイヤ5により接続されている。

【0014】また、配線基板4は複数のビア44を伴なう。配線基板4の実装面側にはICチップ2の外部端子45が設けられている。すなわち、配線基板4の導電パターン42はビア44を介して外部端子45とつながっている。外部端子45に接続されるパッド以外は絶縁膜(ソルダーレジスト)46で覆われている。

【0015】封止部材6は、上記ICチップ2及びボンディングワイヤ5を含むICチップ2と配線基板4との電気的接続面側を気密封止している。また、ICチップ1と配線基板4との間は絶縁部材7で充填されている。

【0016】上記構成によれば、積層チップのうち、ICチップ1は封止されずに封止部材6下部の中央に設けられる。これにより、上記封止部材6は従来構成より格

段に薄い形成となり、気密封止に高信頼性をもたらす。封止部材材料も節約でき、経済的である。

【0017】さらに、配線基板4の厚さは、ICチップ1の厚さに依存し、十分な強度を持つようになる。かつ、総体的な装置の厚みに影響しない。また、配線基板4は、ICチップ2に関する配線だけを考慮すればよい。これにより、配線基板4における配線の自由度が増すと共に電気的特性の向上に寄与する。また、ボンディングワイヤ5も従来の積層ICとは異なり、低く、短く張ることができるので、信頼性に富み、電気的特性の向上が図れる。

【0018】なお、図1の実施形態では、ICチップ1と配線基板4との間は絶縁部材7で充填されていたが、ICチップ1と配線基板4とが隙間なく構成され、絶縁部材7がなくてもよい。このとき、絶縁部材7は極薄な接着剤として存在するようにしてよい。

【0019】また、ICチップ2は、従来構成のようにICチップ1より小さくなければならないということもない。ICチップ1のパッドは実装面側にあるからである。また、絶縁フィルム43はICチップ1の裏面周辺領域にのみ延在し、ICチップ1の裏面中央付近は絶縁性のみ設けられて固着されていたが、これに限らない。絶縁フィルム43はICチップ1の裏面中央付近にまで延在してもよい。

【0020】例えば、図2(a)、(b)に示すような絶縁フィルム43を構成してもよい。破線は各ICチップ1、2を示している。すなわち、絶縁フィルム43において、ICチップ2が固着される領域に開孔部431(図2(a)参照)、または432(図2(b)参照)

30などを設ける。これにより、図1に示す接着部材3は開孔部431または432を介してICチップ1と2を接着する。この結果、ICチップ1と2と絶縁フィルム43は、強固な固着状態を実現する。

【0021】図3は、本発明の第2実施形態に係るスタックトタイプのCSPを示す断面図である。第1実施形態と同様の箇所には同一の符号を付す。図1の第1実施形態と比べて異なる構成は、ICチップ2もフリップチップ形態(フェイスダウン形態)としたことである。

【0022】フリップチップ形態のICチップ1の裏面上は図示しない接着部材を介し、配線基板4に関する、導電パターン47の付いた絶縁フィルム48が形成されている。導電パターン47の所定箇所は、ICチップ2主表面の配線領域22を経て設けられた突起電極23各々と接続されている。このICチップ2と絶縁フィルム48の対向領域は絶縁性の保護部材8が設けられている。

【0023】また、配線基板4は前記第1実施形態と同様に複数のビア44を伴なう。配線基板4の実装面側にはICチップ2の外部端子45が設けられている。すなわち、導電パターン47はビア44を介して外部端子4

50

(4)

特開2001-94045

5

5とつながっている。外部端子45に接続されるパッド以外は絶縁膜(ソルダーレジスト)46で覆われている。

【0024】封止部材6は、上記第1実施形態と同様にICチップ2及び配線基板4との電気的接続面側を気密封止している。また、ICチップ1と配線基板4との間は絶縁部材7で充填されている。例えば、図示しないが、ICチップ1と配線基板4との隙間がほとんどなく、絶縁部材7は極薄な接着剤として存在するようにしてもよい。

【0025】上記構成によっても、第1実施形態と同様に、積層チップのうち、ICチップ1は封止されずに封止部材6下部の中央に設けられる。配線基板4の厚さは、ICチップ1の厚さに依存し、十分な強度を持つようになる。かつ、総体的な装置の厚みに影響しない。配線基板4は、ICチップ2に関する配線だけを考慮すればよく、配線の自由度が増すと共に電気的特性の向上に寄与する。

【0026】また、ICチップ2は、従来構成のようにICチップ1より小さくなければならないということもない。しかも、樹脂封止されるICチップ2は、フェイスダウン形態であり、図1の構成におけるボンディングワイヤ5のループ高さの余裕を省いた封止が可能である。これにより、上記封止部材6は第1実施形態に比べてさらに薄い形成が期待できる。

【0027】また、ICチップ2をフェイスダウン形態としたことにより、例えば封止部材6を滴下方式の気密封止構成に変更したり、または、配線基板4上は単に保護膜を被覆する構成としてもよい。これにより、軽量化にも寄与する。

【0028】図4は、本発明の第3実施形態に係るスタックタイプのCSPを示す断面図である。第2実施形態と同様の箇所には同一の符号を付す。図2の第2実施形態と比べて異なる構成は、フリップチップ形態(フェイスダウン形態)のICチップ2が異方性導電膜(ACF(Anisotropic Conductive Film))9によって導電パターン47と接続されていることである。

【0029】フリップチップ形態のICチップ1の裏面上は図示しない接着部材を介し、配線基板4に関する、導電パターン47の付いた絶縁フィルム48が形成されている。導電パターン47の所定箇所には、突起電極49が設けられており、ICチップ2主表面のパッドに形成された突起電極24各々とACF9により接続されている。

【0030】ACF9は、フィルム状のエポキシ樹脂中に導電性粒子91が分散されており、導電性粒子91を挟み込む所定の導通部分だけその間隙が導電性粒子91の粒形以下になることで導通状態が得られ、他は絶縁状態となる特性を有する。すなわち、ACF9は、ICチップ2と絶縁フィルム48の対向領域に設けられる。絶

縁フィルム48上の導電パターン47に形成された突起電極49とICチップ2の突起電極24とがそれぞれ位置合わせされ、図示しない圧着ツールによる加圧/加熱工程を経る。これにより、ICチップ2と導電パターン47の各電極(24と49)どうしの接着部分はACF9中の導電性粒子91により良好な導電性を得る。

【0031】また、配線基板4は前記第1及び第2実施形態と同様に複数のビア44を伴う。配線基板4の実表面側にはICチップ2の外部端子45が設けられている。すなわち、導電パターン47はビア44を介して外部端子45とつながっている。外部端子45に接続されるパッド以外は絶縁膜(ソルダーレジスト)46で覆われている。

【0032】封止部材6は、上記第1及び第2実施形態と同様にICチップ2及び配線基板4との電気的接続面側を気密封止している。また、ICチップ1と配線基板4との間は絶縁部材7で充填されている。例えば、図示しないが、ICチップ1と配線基板4との隙間がほとんどなく、絶縁部材7は極薄な接着剤として存在するようにしてよい。

【0033】上記構成によっても、第1及び第2実施形態と同様に、積層チップのうち、ICチップ1は封止されずに封止部材6下部の中央に設けられる。配線基板4の厚さは、ICチップ1の厚さに依存し、十分な強度を持つようになる。かつ、総体的な装置の厚みに影響しない。配線基板4は、ICチップ2に関する配線だけを考慮すればよく、配線の自由度が増すと共に電気的特性の向上に寄与する。

【0034】また、ICチップ2は、従来構成のようにICチップ1より小さくなければならないということもない。しかも、樹脂封止されるICチップ2は、フェイスダウン形態であり、第2実施形態の構成と同様に、第1実施形態に比べてさらに薄い形成が期待できる。

【0035】また、ICチップ2をACFによる接続によってフェイスダウン形態としたことにより、例えば封止部材6を滴下方式の気密封止構成に変更したり、または、配線基板4上は単に保護膜を被覆する構成としてもよい。

【0036】図5は、第3の実施形態の変形例に係るスタックタイプのCSPを示す断面図である。第3実施形態と同様の箇所には同一の符号を付す。第3実施形態と同様にICチップ2が異方性導電膜(ACF(Anisotropic Conductive Film))9によって導電パターン47と接続されている。配線基板4上において、ICチップ2との電気的接続構成を絶縁性の保護部材61で覆っている。これにより、図3に示した封止部材6を不要としている。このような構成は、前記第2の実施形態で述べたように、前記図2の構成にも適用可能である。これにより、ICチップ2全体の封止は必ずしも重要でないものとなり、より軽量化に寄与する構成が実現できる。

(5)

特開2001-94045

7

【0037】図6は、第1ないし第3実施形態（変形例を含む）に係る半導体パッケージの実装面側の要部を示す平面図である。このように本発明の各実施形態によれば、従来構成とは異なり、積層ICチップの下層側のICチップ1は封止されずに封止部材6下部の中央に設けられて外部端子15を配し、その周辺がICチップ2に関する配線基板4に配列される外部端子45である。

【0038】このような構成をとることにより、従来技術でのベース基材の薄膜化、各ICチップを削る等のリスクを大幅に軽減し、半導体パッケージとしての厚さを薄くすることができる。加えて内部の配線の引き回し、外部端子への導出が簡素化される。仮に、積層ICチップのパッド間の結合を要する場合は、実装基板上で配線すればよいのである。この結果、高信頼性を有しつつ、薄型でよりコンパクトな半導体パッケージが実現できる。

【0039】

【発明の効果】以上説明したように本発明によれば、スタックタイプのCSPにおける積層ICチップにおいて、下方のICチップは封止せず、上方のICチップの封止のみとなる。また、最低限、上方のICチップと配線基板との電気的接続構成を保護部材で覆うことにより、上方のICチップも、全体の封止は必ずしも必要な構成とすることが可能である。これにより、軽量化に寄与する。

【0040】下方のICチップ周辺に配した配線基板は上方のICチップに関する配線だけを考慮すればよく、封止部材は薄い形成となり、かつ上記配線基板は下方のICチップと同等の厚みが得られ強度的にも問題ない。この結果、積層する各ICチップについて高信頼性を保ちつつパッケージの小型化、薄型化が達成される半導体装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るスタックタイプ*

*のCSPを示す断面図である。

【図2】第1実施形態における一部の変形例に係る要部構成を示す平面図である。

【図3】本発明の第2実施形態に係るスタックタイプのCSPを示す断面図である。

【図4】本発明の第3実施形態に係るスタックタイプのCSPを示す断面図である。

【図5】本発明の第3実施形態の変形例に係るスタックタイプのCSPを示す断面図である。

10 【図6】第1実施形態ないし第3実施形態（変形例含む）に係る半導体パッケージの実装面側の要部を示す平面図である。

【図7】従来におけるスタックタイプのCSPの構成を示す断面図である。

【符号の説明】

1, 2…ICチップ

11, 14, 21…パッド

12, 22…配線領域

13, 46…絶縁膜

20 15…外部端子

17…絶縁部材

23, 24, 49…突起電極

3…接着部材

4…配線基板

41…ベース基材

42, 47…導電バターン

43, 48…絶縁フィルム

44…ビア

45…外部端子

30 5…ボンディングワイヤ

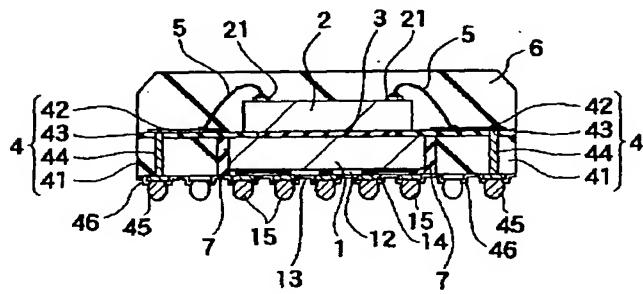
6…封止部材

61, 8…保護部材

9…ACF（異方性導電膜）

91…導電性粒子

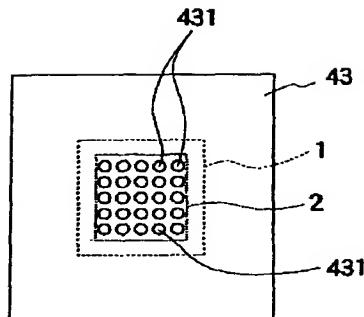
【図1】



(6)

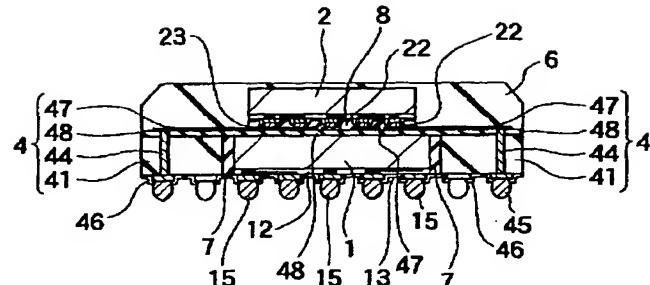
特開2001-94045

[図2]

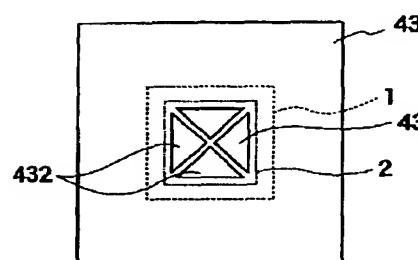


(a)

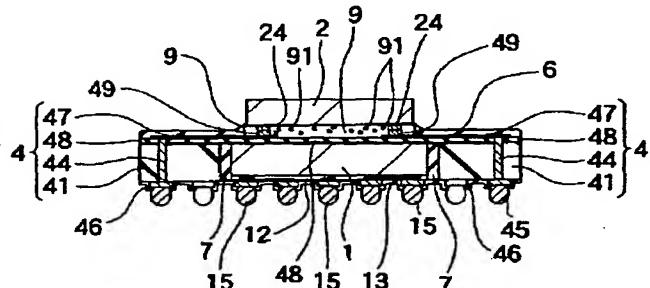
[図3]



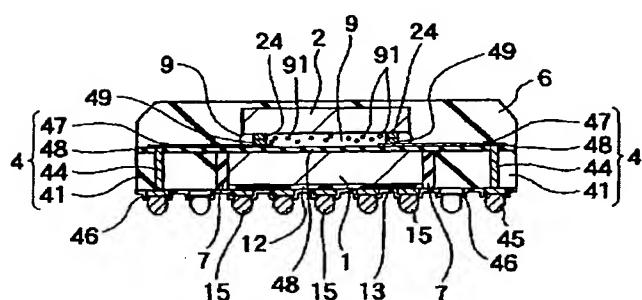
[図5]



(b)



[図4]



[図7]

